

U.S. PTO
09/19/07
08/27/01

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

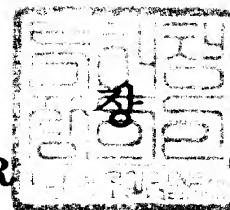
출원번호 : 특허출원 2000년 제 51271 호
Application Number

출원년월일 : 2000년 08월 31일
Date of Application

출원인 : 현대전자산업주식회사
Applicant(s)

2001 01 08
년 월 일

특 허 청
COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000.08.31
【발명의 명칭】	고집적 반도체소자의 게이트 형성방법
【발명의 영문명칭】	Method For Forming The Gate Of High Density Semiconductor Device
【출원인】	
【명칭】	현대전자산업주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	박대진
【대리인코드】	9-1998-000254-2
【포괄위임등록번호】	1999-000705-0
【대리인】	
【성명】	정은섭
【대리인코드】	9-1998-000507-0
【포괄위임등록번호】	1999-000703-5
【발명자】	
【성명의 국문표기】	배영현
【성명의 영문표기】	BAE, Young Hun
【주민등록번호】	700519-1779518
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 아미리 현대7차아파트 707동 1205호
【국적】	KR
【발명자】	
【성명의 국문표기】	박원성
【성명의 영문표기】	PARK, Won Sung
【주민등록번호】	710216-1226238
【우편번호】	459-030
【주소】	경기도 평택시 송탄지역 이충동 459번지
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

박대진 (인) 대리인

정은섭 (인)

【수수료】

【기본출원료】	14	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	5	항	269,000	원
【합계】	298,000	원		

【요약서】

【요약】

본 발명은, 고집적 반도체소자의 게이트 형성방법에 관한 것으로서, 특히, 반도체 기판 상에 게이트 산화막 및 폴리실리콘층, 텅스텐나이트라이드층, 텅스텐층으로 된 도전층을 적층한 후 질화막 및 반사방지막을 적층하여 게이트전극을 형성할 때, 게이트 식각시에 질화막이 과도하게 식각되는 것을 방지하기 위하여 질화막과 반사방지막 사이에 식각방지막을 형성하여서 질화막에 손실이 발생하는 것을 방지하여서 게이트와 비트라인 사이에 형성된 브릿지에 의하여 누설전류가 발생하는 것을 방지하도록 하는 매우 유용하고 효과적인 발명에 관한 것이다.

【대표도】

도 2d

【색인어】

식각방지막 반사방지막 질화막 텅스텐층

【명세서】

【발명의 명칭】

고집적 반도체소자의 게이트 형성방법 { Method For Forming The Gate Of High Density Semiconductor Device }

【도면의 간단한 설명】

도 1a 내지 도 1d는 종래의 고집적 반도체소자의 게이트 형성방법을 순차적으로 보인 도면이고,

도 2a 내지 도 2d는 본 발명에 따른 고집적 반도체소자의 게이트 형성방법을 순차적으로 보인 도면이다.

< 도면의 주요부분에 대한 부호의 설명 >

- | | |
|-----------------|-------------|
| 10 : 반도체기판 | 15 : 폴리실리콘층 |
| 20 : 텅스텐나이트라이드층 | 25 : 텅스텐층 |
| 30 : 질화막 | 35 : 식각방지막 |
| 40 : 반사방지막 | 45 : 감광막 |

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 고집적 반도체소자에 관한 것으로, 특히 게이트 식각시에 질화막이 과도하게 식각되는 것을 방지하기 위하여 질화막과 반사방지막 사이에 식각방지막을 형성하여서 질화막에 손실이 발생하는 것을 방지하여서 게이트와 비트라인 사이에 형성된 브릿지에 의하여 누설전류가 발생하는 것을 방지하도록 하는 고집적 반도체소자의 게이트전극 형성방법에 관한 것이다.

<9> 일반적으로, 반도체소자의 게이트전극은 도핑된 다결정실리콘이 가장 많이 사용되고 있으며 반도체소자의 고집적화가 이루어지면서 티타늄 및 텅스텐으로 된 금속층을 많이 사용하고 있는 실정이다.

<10> 즉, 이러한 다결정실리콘을 이용한 게이트전극은 공정이 안정하다는 장점이 있지만 다결정실리콘의 높은 비저항으로 인해 디자인룰(design rule)이 작아짐에 따라 소자의 동작속도 향상에 문제가 된다.

<11> 이러한 문제점을 해결하기 위하여, 비저항이 낮은 텅스텐 등의 고용점금속을 게이트전극으로 사용하는 방법이 제안되고 있다.

<12> 한편, 최근에는 게이트 전극의 선폴이 $0.13\mu\text{m}$ 를 갖는 고집적 반도체소자(1기가급)가 제조되어서 실용화되므로 인하여 게이트전극의 도전층으로서, 폴리실리콘층과 텅스텐층을 복합적으로 사용하는 공정을 도입하여 사용하고 있다.

<13> 도 1(a) 내지 도 1(d)는 종래의 고집적 반도체소자의 게이트 제조방법을 순차적으

보인 도면이다.

- <14> 도 1(a)에 도시된 바와 같이, 반도체기판(10) 상에 게이트산화막(12) 폴리실리콘층(15), 텅스텐나이트라이드층(20), 텅스텐층(25), 질화막(50 및 반사방지막(6)을 순차적으로 증착하도록 한다.
- <15> 그리고, 도 1(b)에 도시된 바와 같이, 상기 결과물 상에 감광막을 적층한 후 게이트가 형성될 부위를 차단하도록 감광막패턴(7)을 형성하도록 하도록 한다.
- <16> 그리고, 도 1(c)에 도시된 바와 같이, 상기 감광막패턴(7)을 제거한 후, 반사방지막(6), 질화막(5) 텅스텐층(4), 텅스텐나이트라이드층(3)을 순차적으로 식각하도록 한다.
- <17> 이 때, 상기 반사방지막(8)과 질화막(5)의 식각 가스와 텅스텐층(4) 및 텅스텐나이트라이드층(3)을 식각하는 식각가스는 플로라인(Florine)이 함유된 가스를 양자 공히 동일하게 사용하고 있다.
- <18> 그리고, 도 1(d)에 도시된 바와 같이, 계속하여서 상기 폴리실리콘층(15)을 식각하여서 반도체기판(1)을 노출하도록 한다.
- <19> 그런데, 상기한 바와 같이, 도 1(c)에 도시된 바와 같이, 감광막패턴(7), 반사방지막(6) 및 하부층의 게이트 식각시에 점선으로 표시된 부분에서 손실된 반사방지막(9)과 손실된 질화막(8)의 전체 두께가 약 1000Å 정도 발생하며, 이 때, 텅스텐층(4)과 텅스텐나이트라이드층(3)의 두께는 약 700Å 정도이다.
- <20> 따라서, 후속 공정인 SAC(Self Align Contact)식각시 식각정지막을 작용하는 하드 마스크 질화막(5)의 두께가 작으므로 게이트와 비트라인 사이의 브릿지(Bridge)를 유발

하여 누설전류를 발생하는 문제점을 지니며, 이를 개선하기 위하여 하드마스크 질화막(5)의 두께를 상향조정하면 가능하지만, 게이트 식각시에 하드마스크 질화막(5)의 두께 증가로 인하여 감광막과 식각선택비가 낮아져서 노치(Notch)와 상부손실(Top Loss)을 유발하는 문제점을 지닌다.

<21> 또한, 텅스텐(4)/텅스텐나이트라이드(3) 식각시에 식각장비의 식각속도의 차이로 인한 손실되는 질화막의 두께 차이를 유발한다.

【발명이 이루고자 하는 기술적 과제】

<22> 본 발명은 상기한 문제점을 감안하여 안출한 것으로서, 반도체기판 상에 게이트 산화막 및 폴리실리콘층, 텅스텐나이트라이드층, 텅스텐층으로 된 도전층을 적층한 후 질화막 및 반사방지막을 적층하여 게이트전극을 형성할 때, 게이트 식각시에 질화막이 과도하게 식각되는 것을 방지하기 위하여 질화막과 반사방지막 사이에 식각방지막을 형성하여서 질화막에 손실이 발생하는 것을 방지하여서 게이트와 비트라인 사이에 형성된 브릿지에 의하여 누설전류가 발생하는 것을 방지하는 것이 목적이다.

【발명의 구성 및 작용】

<23> 이러한 목적은 반도체기판 상에 게이트산화막, 폴리실리콘층, 텅스텐층, 텅스텐나이트라이드층, 질화막 및 반사방지막을 이루어진 반도체소자의 게이트 구조에 있어서, 상기 반사방지막과 질화막 사이에 텅스텐층과 텅스텐나이트라이드층의 식각을 방지하기 위한 식각방지막을 형성하는 것을 특징으로 하는 고집적 반도체소자의 게이트구조를 제

공함으로써 달성된다.

<24> 그리고, 이러한 목적은, 반도체기판 상에 게이트산화막, 폴리실리콘층, 텅스텐나이트라이드층, 텅스텐층, 질화막을 적층하는 단계와; 상기 결과물 상에 식각방지막 및 반사방지막을 순차적으로 적층하는 단계와; 상기 반사방지막 상에 감광막을 적층하여 마스크공정을 진행하여 패턴을 형성하는 단계와; 상기 단계 후에 플로라인계열의 식각가스를 통하여 질화막, 텅스텐층 및 텅스텐나이트라이드층을 순차적으로 식각하는 단계와; 상기 단계 후에 클로라인 계열의 식각가스를 통하여 식각방지막 및 폴리실리콘층을 식각하는 단계를 포함하여 이루어진 고집적반도체소자의 게이트 형성방법을 제공함으로써 달성된다.

<25> 그리고, 상기 식각방지막은 50 ~ 1000Å의 두께를 갖는 것이 바람직 하다.

<26> 상기 플로라인계열의 식각가스는, NF_3 , SF_6 및 CF_4 가스 중에 적어도 어느 하나를 사용하여 식각하도록 한다.

<27> 이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하도록 한다.

<28> 도 2(a) 내지 도 2(d)는 본 발명에 따른 고집적 반도체소자의 게이트 제조방법을 순차적으로 보인 도면이다.

<29> 도 2 (a)에 도시된 바와같이, 반도체기판(10)상에 게이트산화막(12), 폴리실리콘층(15), 텅스텐나이트라이드층(20), 텅스텐층(25), 질화막(30)을 적층하도록 한다.

<30> 그리고, 결과물 상에 식각방지막(35) 및 반사방지막(40)을 순차적으로 적층하고, 상기 식각방지막(35)은 50 ~ 1000Å의 두께를 갖도록 적층하는 것이 바람직 하다.

- <31> 상기 식각방지막(35)은, 티타늄(Ti) 또는 티타늄 나이트라이드(TiN)인 것이 바람직하다.
- <32> 그리고, 도 2(b)에 도시된 바와 같이, 상기 반사방지막(40) 상에 감광막(45)을 적층하여 마스크공정을 진행하여 감광막패턴을 형성하도록 한다.
- <33> 그리고, 도 2(c)에 도시된 바와 같이, 상기 단계 후에 플로라인(Flourine)계열의 식각가스를 통하여 질화막(30), 텅스텐층(25) 및 텅스텐나이트라이드층(20)을 순차적으로 식각하도록 한다.
- <34> 이 때, 상기 플로라인(Chlorine)계열의 식각가스에 의하여 식각방지막(35)은 식각이 이루어지지 않으므로 인하여 하부에 있는 질화막(30)에 식각으로 인한 손상이 방지되어지게 된다.
- <35> 상기 플로라인계열의 식각가스는, NF_3 , SF_6 및 CF_4 가스 중에 적어도 어느 하나를 사용하여 식각하는 것이 바람직 하다.
- <36> 그리고, 도 2(d)에 도시된 바와 같이, 상기 단계 후에 클로라인 계열의 식각가스를 통하여 식각방지막(35) 및 폴리실리콘층(15)을 식각하도록 한다.
- <37> 이 때, 상기 폴리실리콘층(15)을 식각할 때, 사용하는 클로라인계열의 식각가스는, 질화막(30), 텅스텐층(25) 및 텅스텐나이트라이드층(20) 식각에는 작용하지 않고 반사방지막(40)에만 작용하는 경향이 있다.

【발명의 효과】

- <38> 따라서, 상기한 바와 같이, 본 발명에 따른 고집적 반도체소자의 게이트 형성방법

을 이용하면, 반도체기판 상에 게이트 산화막 및 폴리실리콘층, 텅스텐나이트라이드층, 텅스텐층으로 된 도전층을 적층한 후, 질화막 및 반사방지막을 적층하여 게이트전극을 형성할 때, 게이트 식각시에 질화막이 과도하게 식각되는 것을 방지하기 위하여 질화막과 반사방지막 사이에 식각방지막을 형성하여서 질화막에 손실이 발생하는 것을 방지하여서 게이트와 비트라인 사이에 형성된 브릿지에 의해 누설전류가 발생하는 것을 방지하도록 하는 매우 유용하고 효과적인 발명이다.

1020000051271

2001/1/1

【특허청구범위】**【청구항 1】**

반도체기판 상에 게이트산화막, 폴리실리콘층, 텅스텐층, 텅스텐나이트라이드층, 질화막 및 반사방지막으로 이루어진 반도체소자의 게이트 구조에 있어서,

상기 반사방지막과 질화막 사이에 텅스텐층과 텅스텐나이트라이드층의 식각을 방지하기 위한 식각방지막을 형성하는 것을 특징으로 하는 고집적 반도체소자의 게이트구조.

【청구항 2】

제 1 항에 있어서, 상기 식각방지막은, 티타늄 또는 티타늄 나이트라이드인 것을 특징으로 하는 고집적 반도체소자의 게이트 형성방법.

【청구항 3】

반도체기판 상에 게이트산화막, 폴리실리콘층, 텅스텐나이트라이드층, 텅스텐층, 질화막을 적층하는 단계와;

상기 결과물 상에 식각방지막 및 반사방지막을 순차적으로 적층하는 단계와;

상기 반사방지막 상에 감광막을 적층하여 마스크공정을 진행하여 패턴을 형성하는 단계와;

상기 단계 후에 플로라인계열의 식각가스를 통하여 질화막, 텅스텐층 및 텅스텐나이트라이드층을 순차적으로 식각하는 단계와;

상기 단계 후에 클로라인 계열의 식각가스를 통하여 식각방지막 및 폴리실리콘층을 식각하는 단계를 포함하여 이루어진 것을 특징으로 하는 고집적반도체소자의 게이트 형성방법.

【청구항 4】

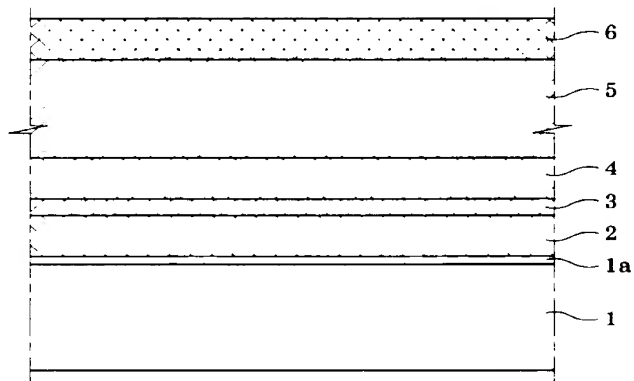
제 1 항에 있어서, 상기 식각방지막은 50 ~ 1000Å의 두께를 갖는 것을 특징으로 하는 고집적 반도체소자의 게이트 형성방법.

【청구항 5】

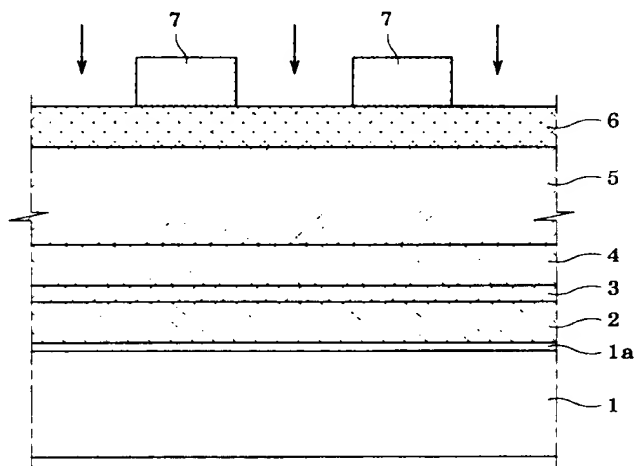
제 1 항에 있어서, 상기 플로라인계열의 식각가스는, NF_3 , SF_6 및 CF_4 가스 중에 적어도 어느 하나를 사용하여 식각하는 것을 특징으로 하는 고집적 반도체소자의 게이트 형성방법.

【도면】

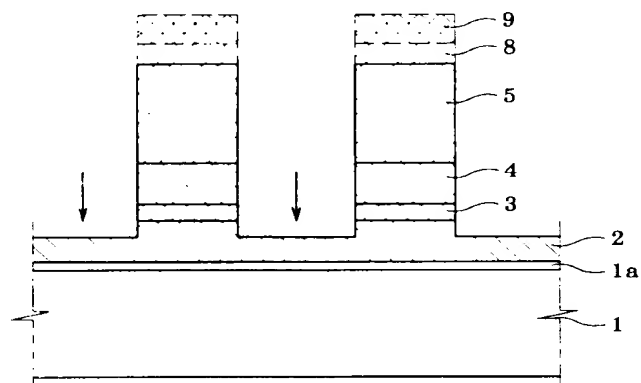
【도 1a】



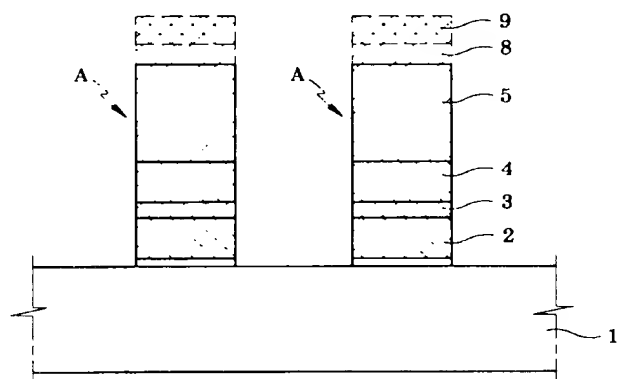
【도 1b】



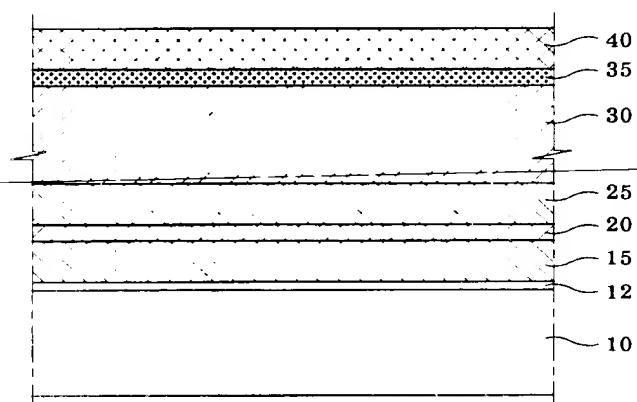
【図 1c】



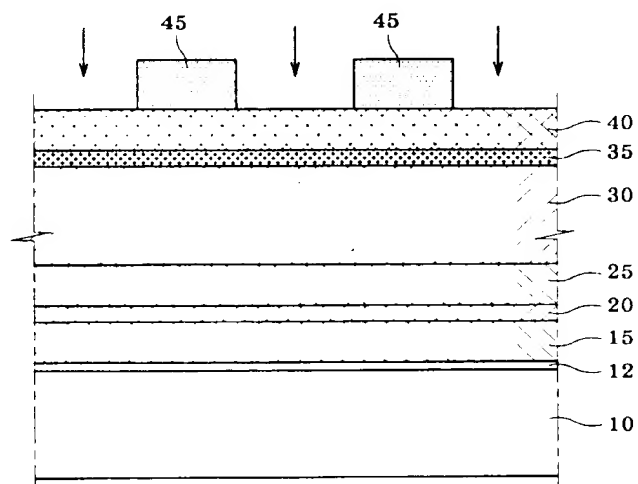
【図 1d】



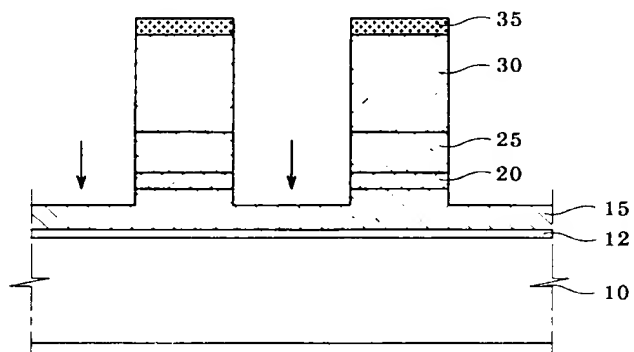
【図 2a】



【도 2b】



【도 2c】



【도 2d】

